

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-207075
 (43) Date of publication of application : 13.08.1993

(51) Int. Cl.

H04L 25/08
 H03M 13/12

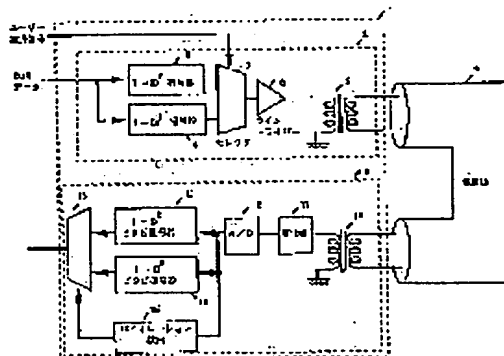
(21) Application number : 04-010765 (71) Applicant : HITACHI LTD
 (22) Date of filing : 24.01.1992 (72) Inventor : KAZAWA TORU
 MIYAMOTO YOSHINORI
 MIYAZAKI KATSUYUKI

(54) DIGITAL COMMUNICATION SYSTEM

(57) Abstract:

PURPOSE: To dispense with a handling time of initialization by automatically selecting an adaptive decoder by a receiver when a user selects code desired by oneself.

CONSTITUTION: An equalized signal is digitized by an A/D converter 12, and is decoded by a 1-D2 Viterbi decoder 13 and a 1-D8 Viterbi decoder 14, respectively. A selector 16 selects and outputs either decoding result of plural Viterbi decoders 13, 14 by the control of a violation detection circuit 15. In other words, the violation detection circuit 15 is provided with a violation function of 1-D2 decoding and 1-D8 coding, and controls the selector 16 so as to send the decoding result of the 1-D8 Viterbi decoder 14 to the user when 1-D2 violation is detected and also, no 1-D8 violation is detected. Adversely, when no 1-D2 violation is detected, and also, the 1-D8 violation is detected, the circuit 15 controls the selector 16 so as to send the decoding result of the 1-D2 Viterbi decoder 13 to the user.



LEGAL STATUS

[Date of request for examination] 19.06.1997

[Date of sending the examiner's decision of rejection] 01.08.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-207075

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 25/08	B	8226-5K		
H 0 3 M 13/12		7259-5J		

審査請求 未請求 請求項の数9(全 13 頁)

(21)出願番号	特願平4-10765	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成4年(1992)1月24日	(72)発明者	加沢 徹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(72)発明者	宮本 宜則 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(72)発明者	宮崎 勝行 神奈川県横浜市戸塚区戸塚町216番地 株 式会社日立製作所情報通信事業部内
		(74)代理人	弁理士 小川 勝男

(54)【発明の名称】 デジタル通信システム

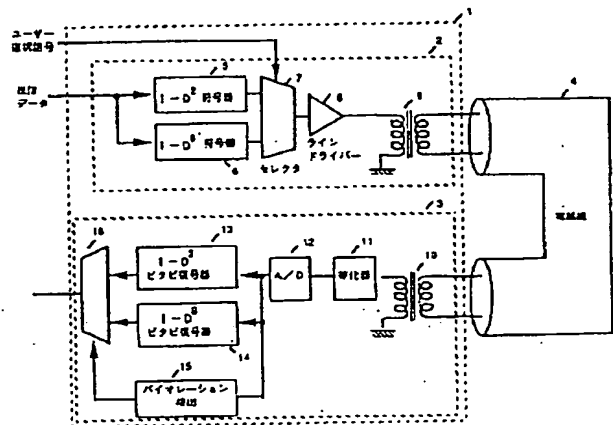
(57)【要約】

【目的】本発明の目的はインパルス雑音耐性が大きく、かつ従来の1-D²符号送受信器とも通信できる方法を提供することである。

【構成】バイオレーション検出回路(15)において、受信信号の符号が何であるかを判定し、自動的に、受信信号の符号則に適合したビタビ復号器(13, 14)を選択して復号を行う。

【効果】ユーザーが自分の希望する符号を選択すると、受信器は自動的に適合する復号器を選択するため、初期設定の手間が不要となる。

(図 1)



【特許請求の範囲】

【請求項 1】複数種の符号化器を備えた送信装置と複数種の復号化器を備えた受信装置とからなるデジタル通信装置において、上記送信装置は、複数種のトレリス符号化器と、各トレリス符号化器を選択的に切替えて送信信号を符号化するための制御部とからなり、受信装置は、上記各トレリス符号化器の各符号則に適合した複数のビタビ復号器と、上記ビタビ復号器を選択的に切り替え復号する手段と、上記送信装置から送信された信号の符号則に応じて、上記復号する手段を制御する制御部とから構成されることを特徴とするデジタル通信システム。

【請求項 2】前記各トレリス符号化器の各符号則の一般式が、 $1-D$ の n 乗で示される符号則であることを特徴とするデジタル通信システム。

【請求項 3】前記制御部は、それぞれの符号則に対応するバイオレーションの発生頻度を検出することにより、適合するビタビ復号器を選択して、復号を行うように制御することを特徴とする請求項 1 項記載のデジタル通信システム。

【請求項 4】前記制御部は、それぞれのビタビ復号器により復号されたデータのエラーレートをモニターすることにより、適合するビタビ復号器を選択して、復号を行うように制御することを特徴とする請求項 1 項記載のデジタル通信システム。

【請求項 5】前記制御部は、それぞれのビタビ復号器により復号されたデータのバリティーエラーをモニターすることにより、適合するビタビ復号器を選択して、復号を行うように制御することを特徴とする請求項 1 項記載のデジタル通信システム。

【請求項 6】前記制御部は、それぞれのビタビ復号器により復号されたデータのフレーム同期の有無をモニターすることにより、適合するビタビ復号器を選択して、復号を行うように制御することを特徴とする請求項 1 項記載のデジタル通信システム。

【請求項 7】前記各トレリス符号化器が、縦列接続された複数のシフトレジスタと論理ゲートとセレクトから構成され、上記シフトレジスタの複数の出力がセレクトにより選択されて論理ゲートに入力されることを特徴とする請求項 1 項記載のデジタル通信システム。

【請求項 8】前記複数種のビタビ復号器が、共通のブランチメトリック生成回路および A C S 回路と、複数のバスメモリと、複数のラッチおよびセレクトから構成され、前記 A C S 回路の出力および一本の入力はセレクトにより選択されるラッチに接続されることを特徴とする請求項 1 項記載のデジタル通信システム。

【請求項 9】前記複数種のビタビ復号器が、共通のブランチメトリック生成回路および A C S 回路と、複数のバスメモリと、複数のラッチおよびセレクトから構成され、前記バスメモリの出力のうち一本がセレクトにより

選択され出力されることを特徴とする請求項 1 項記載のデジタル通信システム。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明はデジタル通信システムに関し、特に電話線を伝送媒体として、交換機と端末との間で数メガビット・パー・セカンド以上の高速伝送を行うのに適したデジタル通信システムに関する。

【 0 0 0 2 】

10 【従来の技術】電話線を用いたデジタル通信システムにおいて、数ビットの長さにわたり大振幅の雑音が混入し、バーストエラーが発生する場合がある。この原因として、同一電話ケーブル内にアナログ、デジタル回線が混在する場合、数 1 0 から 1 0 0 V に及ぶアナログ回線のリンギングパルスやダイヤルパルスがデジタル回線に漏れ込む場合や、電話ケーブルに隣接した電源線上の高電圧雑音が漏れ込む場合等がある。これらバーストノイズはデジタル回線での受信信号振幅（数 1 0 0 m V から数 V）に比してはるかに大きくなり、また信号と雑音の周波数帯域がほぼ等しいため、雑音除去によく用いられる周波数フィルタでは除去不可能となる。

20 【 0 0 0 3 】従来、ビタビ復号と呼ばれる誤り訂正方式が提案されている。たとえば、パーシャルレスポンスクラス 4 符号（以下 P R 4 符号と略す）にビタビ復号を適用した例が特開平 2 - 6 7 8 5 1 号に示されている。 $1-D'$ 符号器により 2 ビット離れたシンボル間での相関が加えられ、ビタビ復号により 2 ビットの連続エラーまで訂正できる。

【 0 0 0 4 】

30 【発明が解決しようとする課題】しかし、構内電話線環境では、幅 $1 \mu s$ 程度のインパルス雑音が発生することがある。これは 4 M b p s の伝送を行う場合 4 ビットの連続エラーに相当し、上記従来技術では不十分である。この問題に対して、以下の式：

【 0 0 0 5 】

【数 1】

$$1-D^n \dots\dots\dots (数 1)$$

40 【 0 0 0 6 】に従って符号化を行う符号器（以下 n 次 $1-D$ 符号器と記す）により n ビットの連続エラーまで訂正することが可能である。しかし、 $1-D'$ 符号はすでに広く用いられて普及しているため、全ての送受信器を新たに置き換えるのは経済的ではない。また、幅 $1 \mu s$ 程度の長いインパルス雑音は、雑音環境の悪いごく限られた回線でのみ発生し、 $1-D'$ 符号でも十分に対応できる場合もあり、必ずしも n 次 $1-D$ 符号器（ $n \geq 3$ ）を用いる必要性はない。したがって、 $1-D'$ 符号に対応する機能と n 次 $1-D$ 符号器（ $n \geq 3$ ）に対応する機能を送受信装置双方に設け、回線の状態に応じて $1-D'$ 符号または n 次 $1-D$ 符号器（ $n \geq 3$ ）を選択的に用い

ることが理想的である。しかしながら、送信側では回線の状態に応じてユーザーが必要とされる符号化方式を選択して送信することはできるが、送信装置での符号化方式と受信装置での復号化方式とが一致するように設定しておく必要があるため、受信側では通信毎に送信者と連絡を取り符号化方式を確認しなければならず、実用に耐えない。

【0007】そこで、本発明の目的は、既存の $1-D^2$ 符号器を利用しつつ、雑音環境の悪い回線では訂正能力の高い n 次 $1-D$ 符号器を選択的に利用し、自動的に受信装置側で復号しうるデジタル通信システムを提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明のデジタル通信システムでは、送信装置に $1-D^2$ 符号および n 次 $1-D$ 符号にそれぞれ適合した複数のトレリス符号化器と、受信装置にそれぞれの符号に適したビタビ復号器を設け、受信装置では受信信号のバイオレーションの発生頻度などにより、自動的に受信信号に適したビタビ復号器を選択的に用いて復号するようにする。一方、送信装置側では、ユーザーの指定により雑音環境の良い条件では $1-D^2$ 符号を、悪い条件では n 次 $1-D$ 符号を用いるようにトレリス符号器を選択して符号化する。受信装置では、バイオレーション検出回路によって、現在どちらの符号が用いられているかを、符号則バイオレーションを監視することで判定し、用いられている符号に適合したビタビ復号器を自動的に選択して用いてもよいし、バイオレーション検出の代わりに、エラーレートやパリティエラーのモニターやフレーム同期の有無の検出等を用いてビタビ復号器の選択をおこなってもよい。

【0009】

【作用】上記解決手段において、バイオレーション検出回路は以下の動作を行う。まず $1-D^2$ および n 次 $1-D$ 符号バイオレーション双方の有無を監視する。 $1-D^2$ 符号バイオレーションが検出されかつ n 次 $1-D$ バイオレーションが検出されない場合、受信信号は n 次 $1-D$ 符号化されている。逆に、 $1-D^2$ 符号バイオレーションが検出されずかつ n 次 $1-D$ バイオレーションが検出された場合、受信信号は $1-D^2$ 符号化されている。どちらのバイオレーションも検出されない場合は、送信データがランダム化されている限り起こりえない。また、どちらのバイオレーションも検出される場合は伝送路でのビットエラーが発生している場合である。ビットエラーの発生頻度はもともと小さく、せいぜい 1 万ビットに 1 回の割合だから、バイオレーションのカウントにおいて一定時間内たとえば 256 ビット伝送する間に数回の割合でバイオレーションが発生していることを閾値とすれば良い。こうして、バイオレーション監視により、送信符号の種類を判定できる。

【0010】

【実施例】図 1 に本発明の第 1 の実施例を示す。伝送回路 1 は送信器 2 と受信器 3 とから構成される。送信器 2 は複数のパーシャルレスポンス符号器すなわち $1-D^2$ 符号器 5 と $1-D^2$ 符号器 6 およびセクタ 7、ラインドライバ 8、トランス 9 を備える。一方受信器 3 はトランス 10、等化器 11、アナログ/デジタルコンバータ 12 (以下 A/D と略す)、複数のビタビ復号器すなわち $1-D^2$ ビタビ復号器 13 と $1-D^2$ ビタビ復号器 14、バイオレーション検出回路 15、セクタ 16 とから構成される。また、送信器 2 と受信器 3 は電話線 4 を介して接続されている。

【0011】送信データは $1-D^2$ 符号器 5 と $1-D^2$ 符号器 6 の双方で符号化され、ユーザーの選択信号によりいずれかの出力を選択出力する。信号はラインドライバ 8 から供給される電流により、トランス 9 経由で電話線 4 に送りだされる。電話線 4 の他端の信号はトランス 10 経由で受信され、等化器 11 で伝送時の歪が補正される。等化された信号は A/D 12 でデジタル化され、 $1-D^2$ ビタビ復号器 13 と $1-D^2$ ビタビ復号器 14 でそれぞれ復号される。セクタ 16 はバイオレーション検出回路 15 の制御により、複数のビタビ復号器のいずれか復号結果を選択出力する。バイオレーション検出回路 15 は、 $1-D^2$ 符号および $1-D^2$ 符号のバイオレーション検出機能を持つ。 $1-D^2$ バイオレーションが検出されかつ $1-D^2$ バイオレーションが検出されない場合、 $1-D^2$ ビタビ復号器 14 の復号結果をユーザーへ送るようにセクタ 16 を制御する。逆に、 $1-D^2$ バイオレーションが検出されず、かつ $1-D^2$ バイオレーションが検出される場合、 $1-D^2$ ビタビ復号器 13 の復号結果をユーザーへ送るようにセクタ 16 を制御する。

【0012】図 2 に本発明を通信システムに適用する際の例を示す。交換機 20 および通信端末 21 は電話線 4 を介して接続され、高速データを送受信する。通信端末 21 a 内のプロトコル処理回路 23 a は利用者の要求に応じて送信データを作成し、伝送回路 1 a によって、交換機 20 に送られる。交換機 20 内の伝送回路 1 b によって受信されたデータは、交換回路 22 で送信先を読み取られ、対応する通信端末 21 b へ伝送回路 1 c、d を経由して送られる。

【0013】図 3 には、本発明に用いられるバイオレーション検出回路の 1 実施例を示す。本ブロックは 3 値変換器 31、デマルチプレクサ 32 および 33、カウンタ 34 および 35、OR ゲート 36 および 37、4 ビットカウンタ 38 および 39、そして 125 μ 秒カウンタ 40 から構成される。

【0014】3 値変換器 31 は図 1 の A/D 12 の出力を +1、0、-1 の 3 値に変換する。デマルチプレクサ 32 は 3 値データ列を 2 ビット間隔で分離して、2 つ

の異なる符号列として出力する。この操作は1-D⁺符号が2つの1-D符号列の多重により構成されていることに対応し、この逆操作を行っていることである。同様に、デマルチプレクサ33は3値データ列を8ビット間隔で分離して、8つの異なる符号列として出力する。この操作は1-D⁺符号が8つの1-D符号列の多重により構成されていることに対応している。カウンタ34、35はそれぞれ+1入力でカウントアップ、-1入力でカウントダウン、0入力では反応せず、入力信号の符号反転時にはカウントに先だってリセットされるように動作する、±1ビットのカウンタであり、オーバーフローまたはアンダーフローの発生により1-D符号則バイオレーションを検出できる。受信した符号が1-D⁺であれば、カウンタ35a-hのいずれかで必ずバイオレーションが検出される。また、受信した符号が1-D⁻であれば、カウンタ34a、bのいずれかで必ずバイオレーションが検出される。検出結果はゲート36および37でまとめられ、4ビットカウンタ38、39でカウントされる。1-D⁺バイオレーションをカウンタ38が、1-D⁻バイオレーションをカウンタ39がカウントすることになる。125μ秒カウンタ40はカウンタ38および39を125μ秒ごとにリセットする。したがって、カウンタ38、39のうち、125μ秒中16個以上のバイオレーションが検出されたカウンタ出力がONとなる。これはノイズ等による符号判定の誤動作をさけるための保護回路として働く。また、カウンタ38、39の出力がともにONとなることは、ビットエラーレートが10⁻⁶程度まで悪化しないかぎり起こりえない。こうしてカウンタ38および39の出力信号により対応するビタビ復号器が選択される。

【0015】図4には本発明の第2の実施例を示す。伝送回路1は送信器2と受信器3とから構成される。送信器2は可変符号長パルスレスポンス符号器17、ラインドライバ8、トランス9を備える。一方受信器3はトランス10、等化器11、A/D12、可変符号ビタビ復号器18、バイオレーション検出回路15から構成される。また、送信器2と受信器3は電話線4を介して接続されている。第1の実施例との違いは、複数の従来型符号器やビタビ復号器を持つのではなく、異なる符号

【0016】図5に第2の実施例に用いられる可変符号長パルスレスポンス符号器の1実施例を示す。本ブロックはEXORゲート51、セクタ52および53、シフトレジスタ54および55、ゲート56および57から構成される。

【0017】セクタ52および53がシフトレジスタ54の出力信号を選択出力する場合、EXORゲート51およびシフトレジスタ54は1-D⁺プリコーダーと

して動作し、同時にシフトレジスタ54とゲート57、58は1-D⁺コーダーとして動作する。また、セクタ52および53がシフトレジスタ55の出力信号を選択出力する場合、EXORゲート51およびシフトレジスタ54および55は1-D⁻プリコーダーとして動作し、同時にシフトレジスタ54および55とゲート57、58は1-D⁻コーダーとして動作する。こうして、複数の符号器に共通して備わる演算回路を共有して、ハード量を削減できる。

【0018】図6に第2の実施例に用いられるビタビ復号器の1実施例を示す。本ブロックは、ブランチメトリックテーブル61、ACS(Add Compare Select Circuit)62、デマルチプレクサ63および66、ラッチ64、セクタ65および68、1-Dバスメモリ67から構成される。4ビット受信信号がブランチメトリックテーブル61に入力され、真の受信点(+1, 0, -1)に対応する確率が読みだされる。この確率(ブランチメトリック)を用いて、ACS62およびバスメモリ67は最も尤度の大きい系列を受信データとみなして出力する。ところで、1-D⁺符号のビタビ復号器は1-D符号に対応した2つのACSと2つの1-Dバスメモリの交互の動作により実現される。同様に1-D⁻符号のビタビ復号器は1-D符号に対応した8つのACSと8つの1-Dバスメモリを順次動作させることにより実現される。本実施例ではACS62を共通に用い、8つのラッチ64を用意してACSでの計算結果を順次蓄えることで並列のACSを動作させるのと同様の結果が得られる。1-D⁺符号の復号ではデマルチプレクサ63、66およびセクタ65、68によりラッチ64a、bおよびバスメモリ67a、bの入出力のみが交互に切り替えられ1-D⁺ビタビ復号器として動作する。また、1-D⁻符号の復号ではデマルチプレクサ63、66およびセクタ65、68によりラッチ64a-hおよびバスメモリ67a-hの入出力が順次切り替えられ1-D⁻ビタビ復号器として動作する。こうして符号器と同様、複数のビタビ復号器に共通して備わる演算回路を共有できるので、ハード量削減効果が大きい。

【0019】図7に第2の実施例に用いられるバイオレーション検出回路の1実施例を示す。本ブロックは、本ブロックは3値変換器31、デマルチプレクサ32および33、カウンタ34および35、ORゲート36および37、4ビットカウンタ38および39、125μ秒カウンタ40、シフトレジスタ41および42、セクタ43から構成される。動作は図3での説明とほぼ同じであるが、図6に示した可変符号ビタビ復号器内のデマルチプレクサ63、66およびセクタ65、68の制御信号を作るためのシフトレジスタ41、42、セクタ43が追加されている。

【0020】図8は図7に開示したバイオレーション検出回路の出力信号を示すタイムチャートである。この図

は1-D¹復号動作時のバイオレーション検出回路の出力信号を示している。信号aがhighレベルの時、ラッチ64aおよびバスメモリ67aの入出力がアクティブになるようにデマルチプレクサ63、66およびセクタ65、68が制御される。こうして、aからhまでのラッチ64およびバスメモリ67の1組が順番に動作する。

【0021】図9に本発明の第3の実施例を示す。伝送回路1は送信器2と受信器3とから構成される。送信器2は複数のパーシャルレスポンス符号器すなわち1-D¹符号器5と1-D¹符号器6およびセクタ7、ラインドライバ8、トランス9を備える。一方受信器3はトランス10、等化器11、A/D12、複数のビタビ復号器すなわち1-D¹ビタビ復号器13と1-D¹ビタビ復号器14、切り替え制御回路24、エラーレートモニター回路25aおよびb、セクタ16とから構成される。また、送信器2と受信器3は電話線4を介して接続されている。

【0022】送信データは1-D¹符号器5と1-D¹符号器6の双方で符号化され、ユーザーの選択信号によりいずれかの出力を選択出力する。信号はラインドライバ8から供給される電流により、トランス9経由で電話線4に送りだされる。電話線4の他端の信号はトランス10経由で受信され、等化器11で伝送時の歪が補正される。等化された信号はA/D12でデジタル化され、1-D¹ビタビ復号器13と1-D¹ビタビ復号器14でそれぞれ復号される。エラーレートモニター回路25aおよびbにより両復号データはチェックされ、エラーの少ない復号データが、切り替え制御回路24の制御によりセクタ16から出力される。

【0023】図10に本発明の第4の実施例を示す。伝送回路1は送信器2と受信器3とから構成される。送信器2は複数のパーシャルレスポンス符号器すなわち1-D¹符号器5と1-D¹符号器6およびセクタ7、ラインドライバ8、トランス9を備える。一方受信器3はトランス10、等化器11、A/D12、複数のビタビ復号器すなわち1-D¹ビタビ復号器13と1-D¹ビタビ復号器14、切り替え制御回路24、パリティエラーモニター回路26aおよびb、セクタ16とから構成される。また、送信器2と受信器3は電話線4を介して接続されている。

【0024】送信データは1-D¹符号器5と1-D¹符号器6の双方で符号化され、ユーザーの選択信号によりいずれかの出力を選択出力する。信号はラインドライバ8から供給される電流により、トランス9経由で電話線4に送りだされる。電話線4の他端の信号はトランス10経由で受信され、等化器11で伝送時の歪が補正される。等化された信号はA/D12でデジタル化され、1-D¹ビタビ復号器13と1-D¹ビタビ復号器14でそれぞれ復号される。パリティエラーモニター回

路25aおよびbにより両復号データはチェックされ、エラーの少ない復号データが、切り替え制御回路24の制御によりセクタ16から出力される。

【0025】図11に本発明の第5の実施例を示す。伝送回路1は送信器2と受信器3とから構成される。送信器2は複数のパーシャルレスポンス符号器すなわち1-D¹符号器5と1-D¹符号器6およびセクタ7、ラインドライバ8、トランス9を備える。一方受信器3はトランス10、等化器11、A/D12、複数のビタビ復号器すなわち1-D¹ビタビ復号器13と1-D¹ビタビ復号器14、切り替え制御回路24、フレーム同期回路27aおよびb、セクタ16とから構成される。また、送信器2と受信器3は電話線4を介して接続されている。

【0026】送信データは1-D¹符号器5と1-D¹符号器6の双方で符号化され、ユーザーの選択信号によりいずれかの出力を選択出力する。信号はラインドライバ8から供給される電流により、トランス9経由で電話線4に送りだされる。電話線4の他端の信号はトランス10経由で受信され、等化器11で伝送時の歪が補正される。等化された信号はA/D12でデジタル化され、1-D¹ビタビ復号器13と1-D¹ビタビ復号器14でそれぞれ復号される。フレーム同期回路27aおよびbに両復号データは入力され、速くフレーム同期が確立した方の復号データが、切り替え制御回路24の制御によりセクタ16から出力される。

【0027】

【発明の効果】ユーザーが自分の希望する符号を選択すると、受信器は自動的に適合する復号器を選択するため、初期設定の手間が不要となる。

【0028】また、ビタビ復号を用いない従来の受信器では、復号にMOD2復号器が用いられている。一般にプリコードされたn次1-D符号は、いかなるnの値についてもMOD2復号器により復号される。したがって、エラー訂正の不要な平均的な雑音環境においては、本発明の送受信器は従来の送受信器と支障なく通信できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のシステム構成図

【図2】本発明の通信システムへの適用例を示す図

【図3】第1の実施例に適用されるバイオレーション検出回路構成図

【図4】本発明の第2の実施例のシステム構成図

【図5】第2の実施例に適用されるパーシャルレスポンス符号器構成図

【図6】第2の実施例に適用される本発明に適用されるビタビ復号器構成図

【図7】第2の実施例に適用されるバイオレーション検出回路構成図

【図8】図7記載の回路の出力のタイムチャートを示す

図

【図9】本発明の第3の実施例のシステム

【図10】本発明の第4の実施例のシステム

【図11】本発明の第5の実施例のシステム

【符号の説明】

1…伝送回路、2…送信器、3…受信器、
5… $1-D^2$ 符号器、6… $1-D^8$ 符号器、
7…ラインドライバ、8…トランス、
11…等化器、12…アナログ/デジタル
コンバータ、13… $1-D^2$ ビット復号器、
14… $1-D^8$ ビット復号器、15…バイオレーション検
出器、16…可変符号長パルス
符号器、17…可変符号長ビット復号器、
18…可変符号長ビット復号器、
21…通信端末、22…交換回路、2
3…処理回路、24…切り替え制御回路、2

図

図

図

電話線、

エレ

コ…トラ

ナルコン

1-D² 10

5、16

スポン

…交換

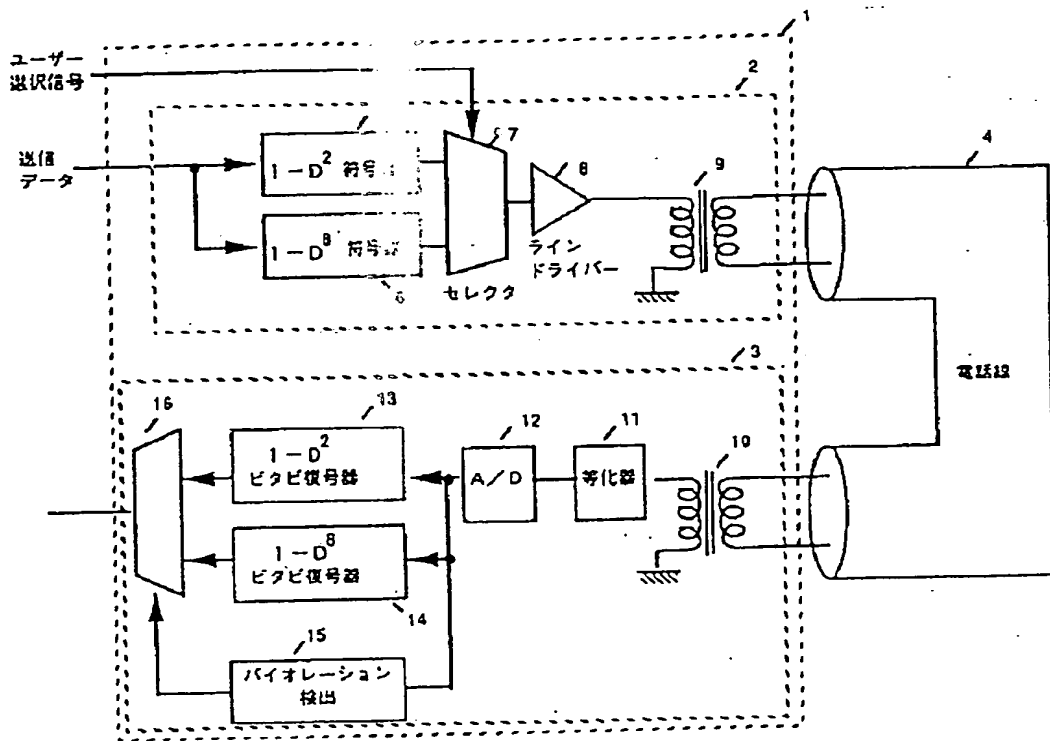
プロコ

ニラレ

ートモニター回路、26…パリティエラーモニター回
路、27…フレーム同期回路、31…3値変換器、32
…デマルチプレクサー、33…デマルチプレクサー、3
4…カウンタ、35…カウンタ、36…ORゲ
ート、37…ORゲート、38…4ビットカウンタ、3
9…4ビットカウンタ、40…125μ秒カウン
タ、41…シフトレジスタ、42…シフトレジスタ
ー、43…セレクタ、51…EXORゲート、52…
セレクタ、53…セレクタ、54…シフトレジスタ、
55…シフトレジスタ、56…ゲート、57…ゲ
ート、61…ブランチメトリックテーブル、62…AC
S、63…デマルチプレクサー、64…ラッチ、65…
セレクタ、66…デマルチプレクサー、67…1-D
バスメモリ、68…セレクタ。

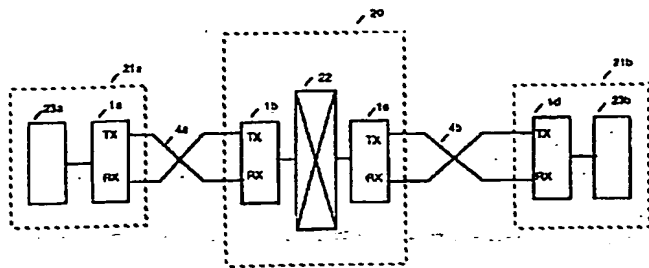
【図1】

図 1)



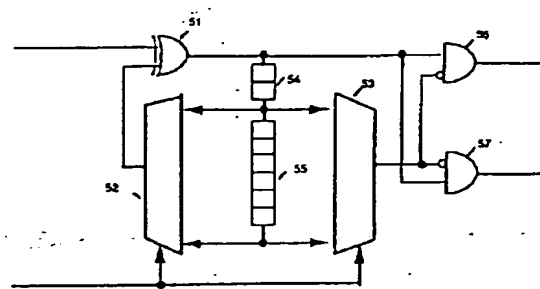
【図2】

(図 2)



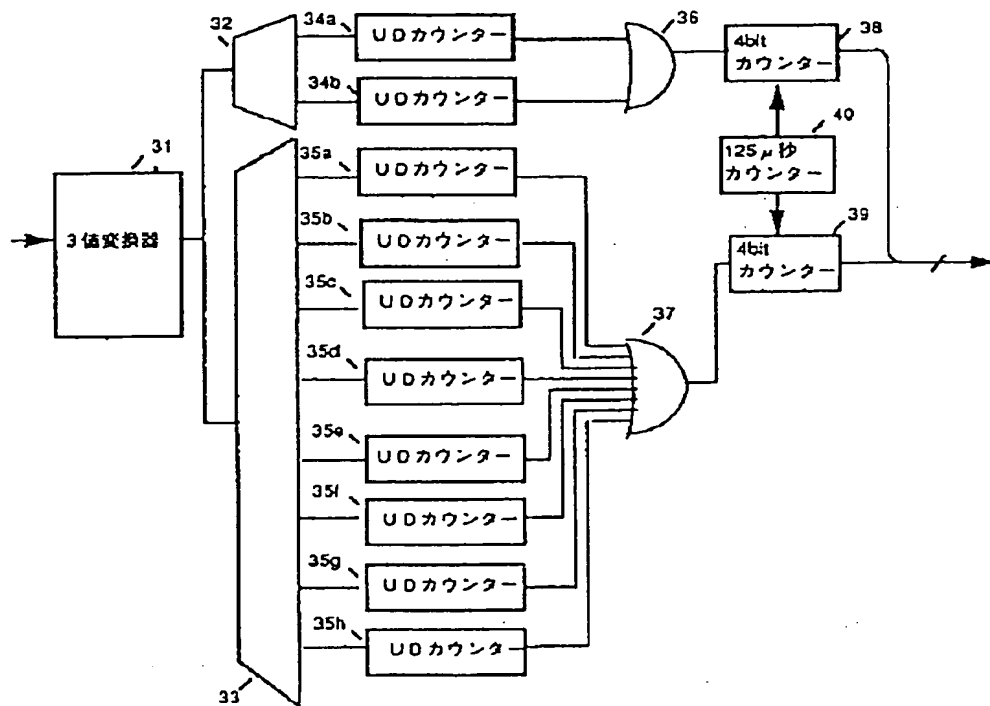
【図5】

(図 5)



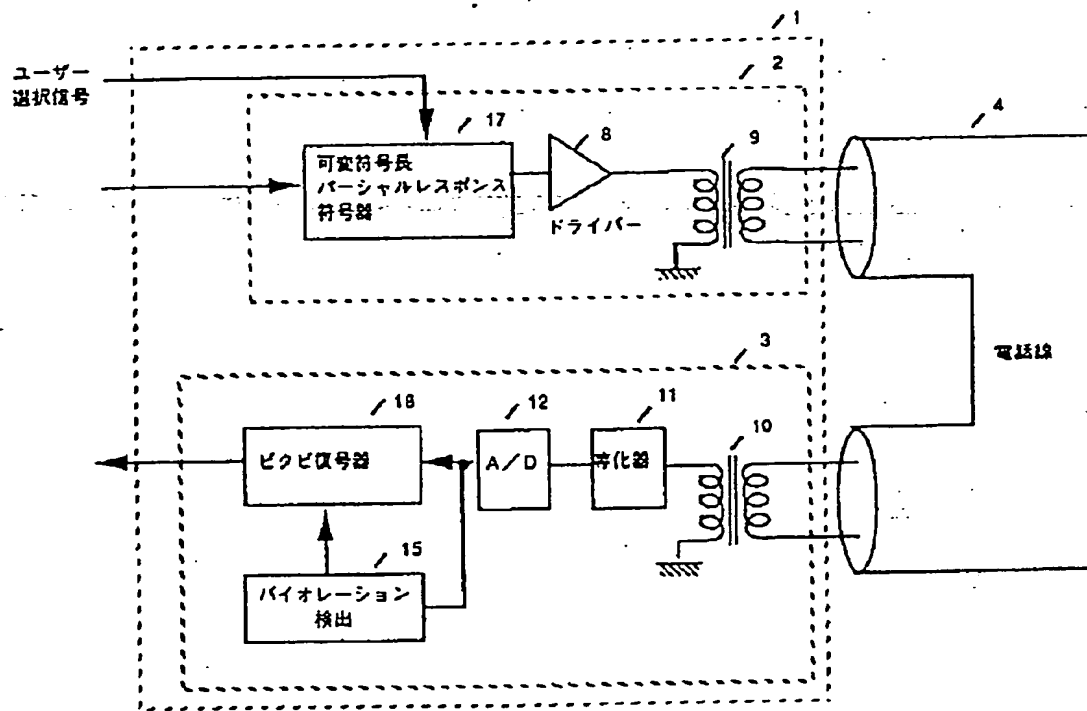
【図3】

(図 3)



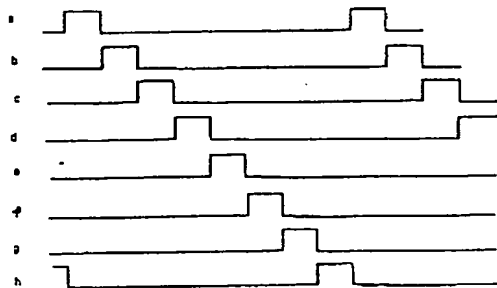
【図4】

(図 4)



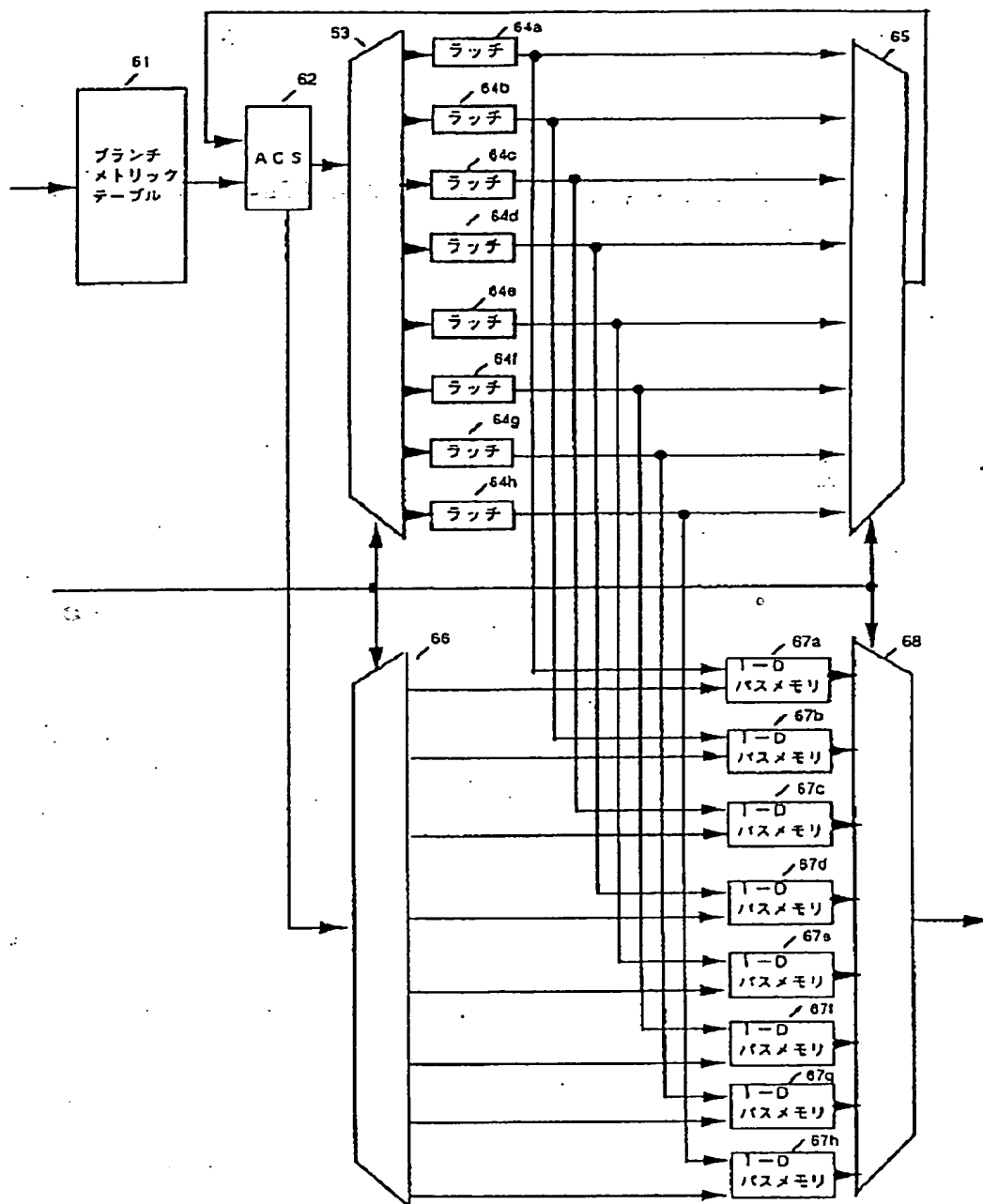
【図8】

(図 8)



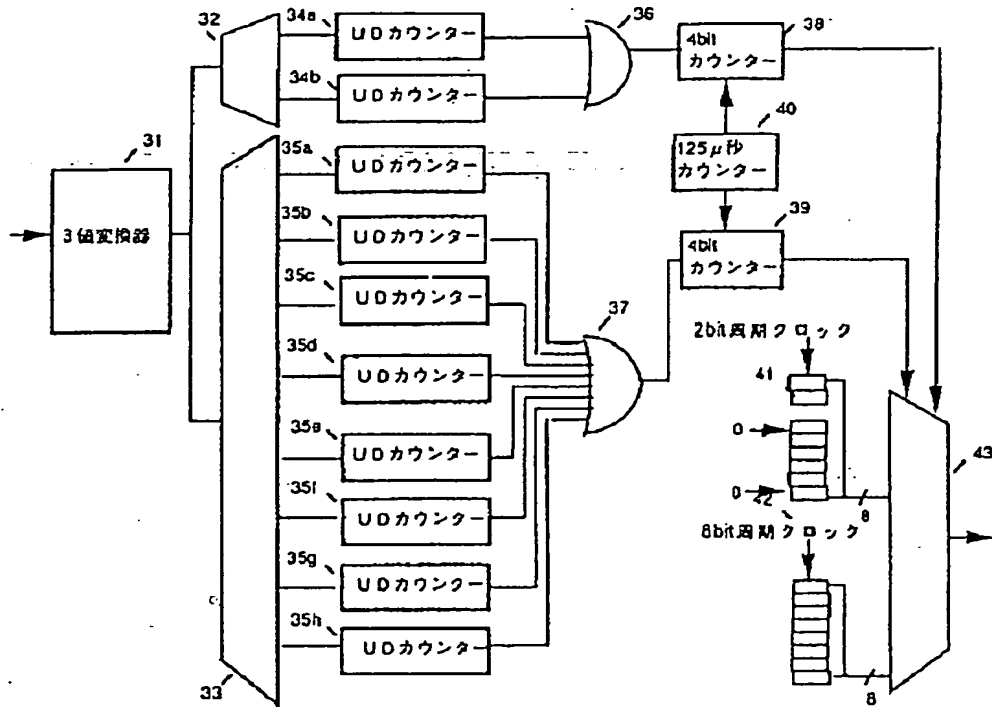
【図6】

(図 6)



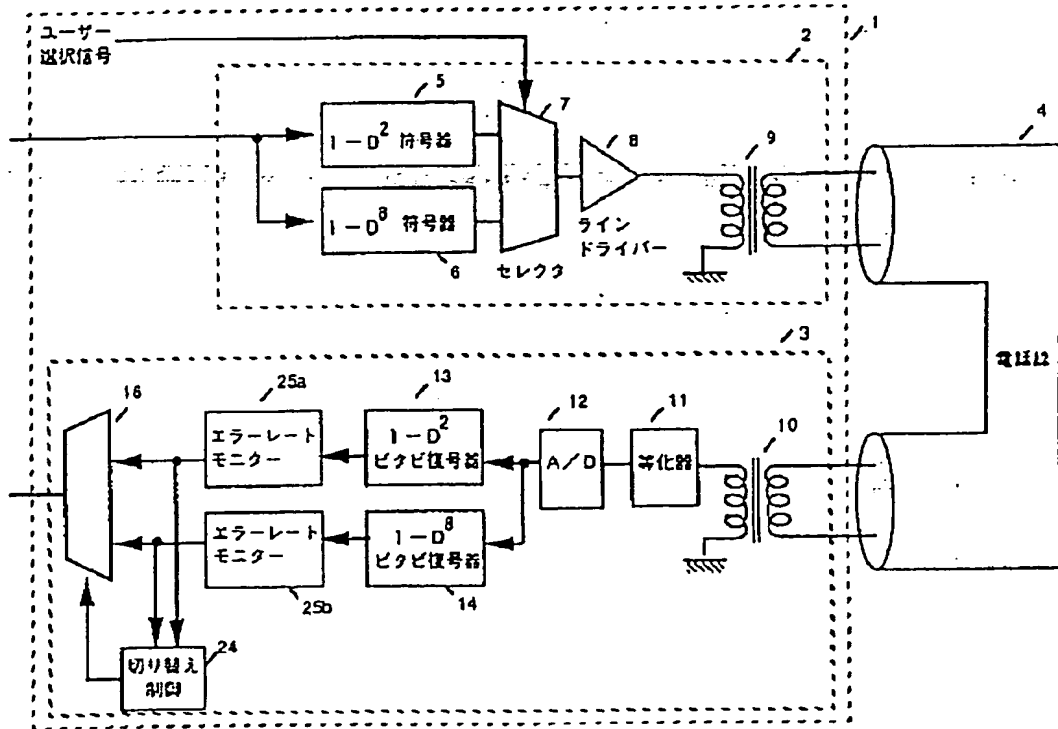
【図 7】

(図 7)



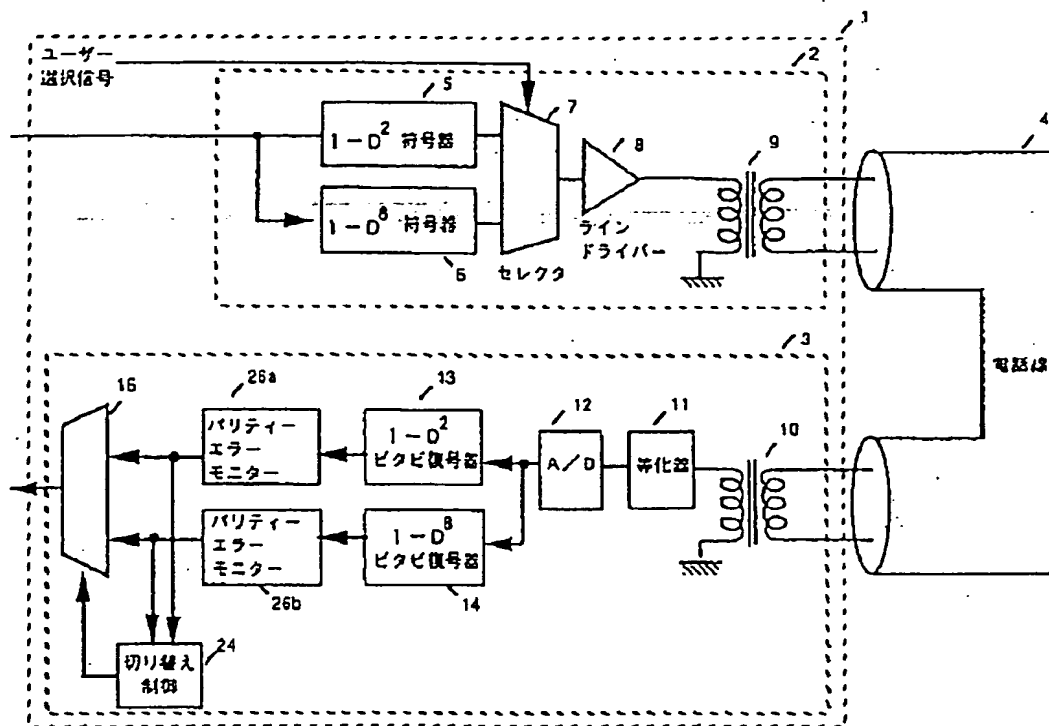
【図9】

(図 9)



【図10】

(図 10)



【図 11】

(図 11)

